

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-23107

(P2003-23107A)

(43) 公開日 平成15年1月24日 (2003.1.24)

(51) Int.Cl.⁷

識別記号

F I

キーワード (参考)

H 0 1 L 21/8242

H 0 1 L 27/10

6 2 1 B 5 F 0 8 3

27/108

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2001-209289(P2001-209289)

(22) 出願日 平成13年7月10日 (2001.7.10)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 奥平 智仁

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

Fターム(参考) 5F083 AD42 AD48 AD49 JA14 JA36

JA37 JA38 JA39 JA40 MA06

MA16 MA17 MA20 PR03 PR10

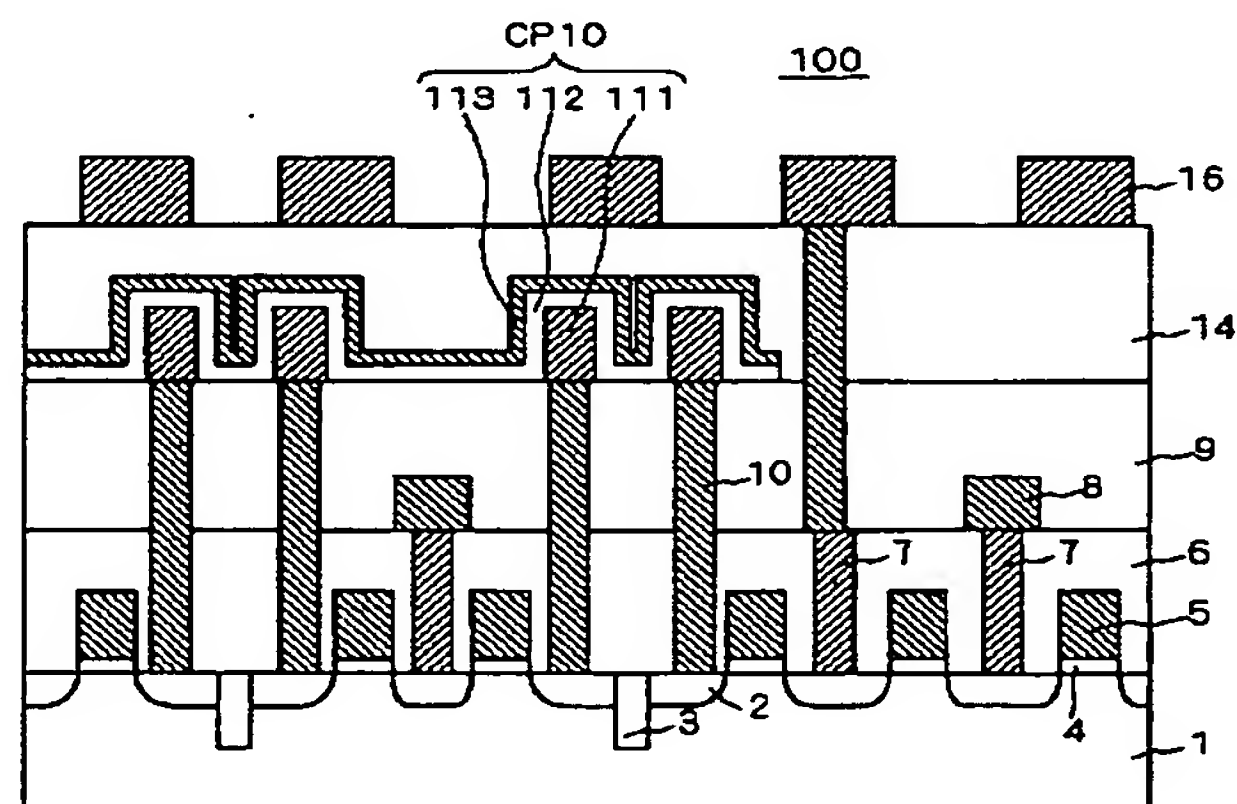
PR40

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 キャパシタ誘電体膜を高誘電体または強誘電体で形成した場合でも、キャパシタ上部電極の形成に支障を来さず、キャパシタ特性が向上した半導体集積回路を提供する。

【解決手段】 キャパシタ下部電極111と、キャパシタ下部電極111を覆うように配設されたキャパシタ誘電体膜112と、キャパシタ誘電体膜112を覆うように配設されたキャパシタ上部電極113とでキャパシタCP10が構成される。キャパシタ下部電極111の断面形状は矩形状であり、その長辺どうしが平行するように複数のキャパシタ下部電極111が配設されている。そして、複数のキャパシタ下部電極111の表面を覆うようにキャパシタ誘電体膜112が形成され、さらにキャパシタ誘電体膜112の表面を覆うようにキャパシタ上部電極113が配設されている。



111 : キャパシタ下部電極
112 : キャパシタ誘電体膜
113 : キャパシタ上部電極
CP10 : キャパシタ

1

【特許請求の範囲】

【請求項1】 下地層の上に形成され、下部電極と、該下部電極を覆う誘電体膜と、該誘電体膜を間に挟んで前記下部電極に対向して配設された上部電極とを有するキャパシタを複数備えた半導体装置であって、前記誘電体膜は、前記下部電極の表面を覆うとともに、前記複数のキャパシタを構成するそれぞれの前記下部電極間の前記下地層上を覆うことで、前記複数のキャパシタに共通に配設され、前記上部電極は、前記誘電体膜を覆うことで前記複数のキャパシタに共通に配設され、前記下部電極の断面形状はほぼ矩形であって、前記複数のキャパシタを構成するそれぞれの前記下部電極は、その長辺どうしが平行するように配設され、その上部側短辺幅寸法は、前記下部電極の配設間隔の $1/2$ 以下に設定される、半導体集積回路。

【請求項2】 前記下部電極の配設間隔は、 $0.5\mu\text{m}$ 以下である、請求項1記載の半導体集積回路。

【請求項3】 前記下部電極を前記誘電体膜で覆った状態での、隣り合う前記下部電極間のトレンチ部分での深さに対する幅の比率は $1/3$ 以上である、請求項1記載の半導体集積回路。

【請求項4】 下地層の上に形成され、下部電極と、該下部電極を覆う誘電体膜と、該誘電体膜を間に挟んで前記下部電極に対向して配設された上部電極とを有するキャパシタを複数備えた半導体装置であって、前記誘電体膜は、前記下部電極の表面を覆うとともに、前記複数のキャパシタを構成するそれぞれの前記下部電極間の前記下地層上を覆うことで、前記複数のキャパシタに共通に配設され、前記上部電極は、前記誘電体膜を覆うことで前記複数のキャパシタに共通に配設され、前記下部電極の断面形状はほぼ矩形であって、前記複数のキャパシタを構成するそれぞれの前記下部電極は、その長辺どうしが平行するように配設され、前記下部電極の上部側短辺幅寸法と、前記下部電極を前記誘電体膜で覆った状態での、隣り合う前記下部電極間のトレンチ部分での幅寸法とがほぼ等しくなるように配設され、前記上部電極は、前記トレンチ部分を完全に埋め込むように配設される、半導体集積回路。

【請求項5】 前記誘電体膜は、高誘電体膜または強誘電体膜であり、前記下部電極の短辺幅寸法は、配線の最小加工寸法以下である、請求項1または請求項4記載の半導体集積回路。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】本発明は半導体集積回路に関し、特に、キャパシタを有する半導体集積回路におけるキャパシタ特性の向上に関する。

【0002】

【従来の技術】従来、シリコン酸化膜あるいはシリコン窒化膜をキャパシタの誘電体に用いた半導体集積回路では、キャパシタの静電容量の確保はキャパシタ面積の確保と同義であった。このため、キャパシタ面積を大きくできるスタックトキャパシタが採用され、スタックトキャパシタを構成するキャパシタ下部電極（ストレージノード電極）の投影面積の増大や、キャパシタ下部電極の高さを高くする工夫がなされてきた。

【0003】また、キャパシタの静電容量を確保するために、誘電体として誘電率の大きな材料を用いる手法も採られている。例えば、BST (barium strontium titanate) やPZT (lead zirconate titanate) 等の誘電体材料では、誘電率がシリコン酸化膜の $50\sim300$ 倍であり、これらを使用することで、キャパシタ面積が小さくとも静電容量の確保が容易なキャパシタを得ることができるため、半導体集積回路の微細化をさらに進めることができる。

【0004】図13に、キャパシタを有する半導体集積回路の従来例として、キャパシタの誘電体膜にシリコン窒化膜を用いた半導体記憶装置80のメモリセル部の断面図を示す。

【0005】図13において、シリコン基板1上に層間絶縁膜6が形成され、層間絶縁膜6を貫通してシリコン基板1に達する複数のコンタクトプラグ7（ビット線コンタクト）が配設されている。コンタクトプラグ7はポリシリコン等の導電体で構成されている。

【0006】また、層間絶縁膜6上には層間絶縁膜9が配設され、層間絶縁膜9上には層間絶縁膜14が配設されている。そして、層間絶縁膜6および9を貫通してシリコン基板1に達する複数のコンタクトプラグ10（ストレージノードコンタクト）および、層間絶縁膜9および14を貫通して一部のコンタクトプラグ7に達するコンタクトプラグ15が配設されている。

【0007】シリコン基板1の表面内には、MOSトランジスタのソース・ドレイン層となる不純物拡散層2が選択的に複数配設され、またMOSトランジスタ間を電氣的に分離するとともに不純物拡散層2を含む活性領域を規定する素子分離絶縁膜3が選択的に複数配設されている。そして、コンタクトプラグ7および10の下面は不純物拡散層2に接続されている。

【0008】また、層間絶縁膜6内には、隣り合う不純物拡散層2の間のシリコン基板1上に対応してゲート電極5が配設されている。なお、ゲート電極5とシリコン基板1との間にはゲート絶縁膜4が配設されている。

【0009】また、層間絶縁膜9内には複数のビット線8が選択的に配設され、当該ビット線8はコンタクトプ

50

3

ラグ 7 を介して所定の不純物拡散層 2 に接続されている。

【0010】ここで、層間絶縁膜 9 および 14 を貫通して配設されたコンタクトプラグ 15 と、コンタクトプラグ 15 に接続されるコンタクトプラグ 7 とでスタックトビアコンタクトを構成しており、当該スタックトビアコンタクトは不純物拡散層 2 の 1 つに接続されている。

【0011】そして、コンタクトプラグ 10 の下面と反対側の端部である上面は、層間絶縁膜 9 上に選択的に配設されたキャパシタ下部電極 11 (ストレージノード電極) に接続されており、当該キャパシタ下部電極 11 と、キャパシタ下部電極 11 を覆うように配設されたキャパシタ誘電体膜 12 と、キャパシタ誘電体膜 12 を覆うように配設されたキャパシタ上部電極 13 とでキャパシタ CP1 が構成される。

【0012】さらに、層間絶縁膜 14 の上部には複数のメタル配線 16 が選択的に形成され、コンタクトプラグ 15 の上面は、一部のメタル配線 16 に接続されている。

【0013】そして、メタル配線 16 の上部には、配線層やパッシベーション膜等が配設されて半導体記憶装置 90 を構成するが、これらについては、本発明との関係が薄いので図示は省略する。

【0014】ここで、キャパシタ誘電体膜 12 はシリコン窒化膜で形成されるので、静電容量を確保するためにキャパシタ面積を大きくする必要があるが、キャパシタ面積を大きくするには、キャパシタ下部電極 11 の高さ H をできるだけ高くするとともに、キャパシタ下部電極 11 の配設間隔 S をできるだけ狭くすることが望ましい。

【0015】実際には、配設間隔 S は配線の最小加工寸法 (例えばゲート長) 程度とするか、枠付け法 (枠付け法の具体例については実施の形態において説明する) などを用いて最小加工寸法以下とすることが多い。従って、例えば最小加工寸法が $0.1\mu\text{m}$ のデザインルールにおいては、 $S \leq 100\text{nm}$ となる。また、キャパシタ下部電極 11 の高さは $1\mu\text{m}$ を超えることもある。

【0016】ここで問題となるのは、主としてキャパシタ下部電極 11 の高さであり、高さが高い、すなわち厚いキャパシタ下部電極 11 をパターンニングするために、フォトリソグラフィ等において高度な技術が要求される。

【0017】また、高いキャパシタ下部電極 11 を設けることに起因して、周辺回路部とメモリセル部との間で段差が生じ、段差に起因して、リソグラフィに際してのマージンが低下したり、リソグラフィマージンを維持するために、層間絶縁膜を平坦化する平坦化技術が必要となる等の製造上の問題が生じる。

【0018】このような、周辺回路部とメモリセル部との間で段差が生じることによる諸問題を軽減するため

4

に、キャパシタ誘電体として、高誘電体を使用することが提案されている。

【0019】図 14 に、キャパシタの誘電体膜に高誘電体を用いた半導体記憶装置 90 のメモリセル部の断面図を示す。なお、図 14 において、図 13 に示した半導体記憶装置 80 と同一の構成については同一の符号を付し、重複する説明は省略する。

【0020】図 14 に示すように、キャパシタ誘電体膜 12A を高誘電体材料で形成することで、半導体記憶装置 80 と同じキャパシタ容量を確保するには、キャパシタ下部電極 11A の高さは、単純計算で $300 \sim 400\text{nm}$ で済むので、キャパシタ下部電極 11A、キャパシタ誘電体膜 12A およびキャパシタ上部電極 13A で構成されるキャパシタ CP2 の高さが低くなり、層間絶縁膜 14 も薄くなって、周辺回路部とメモリセル部との間で生じる段差を低減できる。

【0021】

【発明が解決しようとする課題】ところが、BST 等の高誘電体材料あるいは PZT 等の強誘電体材料は、必然的にバンドギャップが小さく、絶縁耐圧が低いという問題を有している。このため、キャパシタ誘電体膜に高誘電体材料を使用する場合、シリコン窒化膜などの低誘電率の誘電体と比較して、キャパシタ誘電体膜を厚く形成することになる。

【0022】また、キャパシタ誘電体膜を形成する高誘電体材料が還元されて絶縁性が損なわれることを防止するため、キャパシタの電極に使用する材料には、還元性の弱い白金 (Pt)、イリジウム (Ir)、ルテニウム (Ru) 等の貴金属 (特に白金族の材料) を使用する。そして、キャパシタ上部電極 13A の形成方法としては、スパッタリング法が用いられる。

【0023】ここで、キャパシタ誘電体膜 12A を高誘電体材料で形成し、キャパシタ下部電極 11A の高さを低くしたキャパシタ CP2 の部分拡大図を図 15 に示す。

【0024】図 15 は最小加工寸法が $0.1\mu\text{m}$ のデザインルールの場合のキャパシタ CP2 を示しており、枠付け法を用いて形成されたキャパシタ下部電極 11A の配設間隔は、 $0.06 \sim 0.04\mu\text{m}$ ($60 \sim 40\text{nm}$) となっている。またキャパシタ下部電極 11A の高さは $300 \sim 400\text{nm}$ である。

【0025】キャパシタ誘電体膜 12A を高誘電体材料で形成する場合、耐電圧確保のため、 $15 \sim 30\text{nm}$ の膜厚が必要である。従って、キャパシタ誘電体膜 12A を形成した時点での電極間の寸法、すなわち、キャパシタ上部電極 13A を形成すべきトレンチ部分の寸法は、幅 $0.03\mu\text{m}$ (30nm) 以下、深さ $300 \sim 400\text{nm}$ であり、アスペクト比は 10 を超えることになる。

【0026】このようなトレンチ部分にキャパシタ上部電極 13A を形成する場合に、前述のスパッタリング法

5

はカバレッジ特性が良くないため、トレンチの底部に形成されるキャパシタ上部電極 13A の厚さは 10 nm 以下となり、キャパシタ上部電極 13A が不連続になったり、ボイドが発生して、良好な導電性を得ることができなくなる。

【0027】本発明は上記のような問題点を解消するためになされたもので、キャパシタ誘電体膜を高誘電体または強誘電体で形成した場合でも、キャパシタ上部電極の形成に支障を来さず、キャパシタ特性が向上した半導体集積回路を提供することを目的とする。

【0028】

【課題を解決するための手段】本発明に係る請求項 1 記載の半導体集積回路は、下地層の上に形成され、下部電極と、該下部電極を覆う誘電体膜と、該誘電体膜を間に挟んで前記下部電極に対向して配設された上部電極とを有するキャパシタを複数備えた半導体装置であって、前記誘電体膜は、前記下部電極の表面を覆うとともに、前記複数のキャパシタを構成するそれぞれの前記下部電極間の前記下地層上を覆うことで、前記複数のキャパシタに共通に配設され、前記上部電極は、前記誘電体膜を覆うことで前記複数のキャパシタに共通に配設され、前記下部電極の断面形状はほぼ矩形であって、前記複数のキャパシタを構成するそれぞれの前記下部電極は、その長辺どうしが平行するように配設され、その上部側短辺幅寸法は、前記下部電極の配設間隔の 1/2 以下に設定される。

【0029】本発明に係る請求項 2 記載の半導体集積回路は、前記下部電極の配設間隔が、0.5 μ m 以下である。

【0030】本発明に係る請求項 3 記載の半導体集積回路は、前記下部電極を前記誘電体膜で覆った状態での、隣り合う前記下部電極間のトレンチ部分での深さに対する幅の比率は 1/3 以上である。

【0031】本発明に係る請求項 4 記載の半導体集積回路は、下地層の上に形成され、下部電極と、該下部電極を覆う誘電体膜と、該誘電体膜を間に挟んで前記下部電極に対向して配設された上部電極とを有するキャパシタを複数備えた半導体装置であって、前記誘電体膜は、前記下部電極の表面を覆うとともに、前記複数のキャパシタを構成するそれぞれの前記下部電極間の前記下地層上を覆うことで、前記複数のキャパシタに共通に配設され、前記上部電極は、前記誘電体膜を覆うことで前記複数のキャパシタに共通に配設され、前記下部電極の断面形状はほぼ矩形であって、前記複数のキャパシタを構成するそれぞれの前記下部電極は、その長辺どうしが平行するように配設され、前記下部電極の上部側短辺幅寸法と、前記下部電極を前記誘電体膜で覆った状態での、隣り合う前記下部電極間のトレンチ部分での幅寸法とがほぼ等しくなるように配設され、前記上部電極は、前記トレンチ部分を完全に埋め込むように配設される。

6

【0032】本発明に係る請求項 5 記載の半導体集積回路は、前記誘電体膜が、高誘電体膜または強誘電体膜であり、前記下部電極の短辺幅寸法は、配線の最小加工寸法以下である。

【0033】

【発明の実施の形態】< A. 装置構成 > 本発明に係る実施の形態 1 として、図 1 に半導体集積回路 100 のメモリセル部における断面構成を示す。

【0034】図 1 において、シリコン基板 1 上に層間絶縁膜 6 が形成され、層間絶縁膜 6 を貫通してシリコン基板 1 に達する複数のコンタクトプラグ 7 (ビット線コンタクト) が配設されている。コンタクトプラグ 7 はポリシリコン等の導電体で構成されている。

【0035】また、層間絶縁膜 6 上には層間絶縁膜 9 が配設され、層間絶縁膜 9 上には層間絶縁膜 14 が配設されている。そして、層間絶縁膜 6 および 9 を貫通してシリコン基板 1 に達する複数のコンタクトプラグ 10 (ストレージノードコンタクト) および、層間絶縁膜 9 および 14 を貫通して一部のコンタクトプラグ 7 に達するコンタクトプラグ 15 が配設されている。

【0036】シリコン基板 1 の表面内には、MOS トランジスタのソース・ドレイン層となる不純物拡散層 2 が選択的に複数配設され、また MOS トランジスタ間を電氣的に分離するとともに不純物拡散層 2 を含む活性領域を規定する素子分離絶縁膜 3 が選択的に複数配設されている。そして、コンタクトプラグ 7 および 10 の下面は不純物拡散層 2 に接続されている。

【0037】また、層間絶縁膜 6 内には、隣り合う不純物拡散層 2 の間のシリコン基板 1 上に対応してゲート電極 5 が配設されている。なお、ゲート電極 5 とシリコン基板 1 との間にはゲート絶縁膜 4 が配設されている。

【0038】また、層間絶縁膜 9 内には複数のビット線 8 が選択的に配設され、当該ビット線 8 はコンタクトプラグ 7 を介して所定の不純物拡散層 2 に接続されている。

【0039】ここで、層間絶縁膜 9 および 14 を貫通して配設されたコンタクトプラグ 15 と、コンタクトプラグ 15 に接続されるコンタクトプラグ 7 とでスタックトビアコンタクトを構成しており、当該スタックトビアコンタクトも不純物拡散層 2 の 1 つに接続されている。

【0040】そして、コンタクトプラグ 10 の下面と反対側の端部である上面は、層間絶縁膜 9 上に選択的に配設された複数のキャパシタ下部電極 111 (ストレージノード電極) に接続されており、当該キャパシタ下部電極 111 と、キャパシタ下部電極 111 を覆うように配設されたキャパシタ誘電体膜 112 と、キャパシタ誘電体膜 112 を覆うように配設されたキャパシタ上部電極 13 とでキャパシタ CP10 が構成される。

【0041】なお、キャパシタ下部電極 111 の断面形状はほぼ矩形状であり、その長辺どうしが平行するよう

に複数のキャパシタ下部電極 111 が配設されている。ここで、キャパシタ下部電極 111 の断面形状をほぼ矩形状としたのは、製造過程において必ずしも正確に矩形状にならない場合もあり、テーパ角が 87° 以上の台形になる場合もあるからである。テーパ角が 87° (水平面に対する角度) 程度と大きくなれば、見た目には台形と言うより矩形状であるので、ほぼ矩形状と呼称するものである。

【0042】そして、複数のキャパシタ下部電極 111 の表面を覆うようにキャパシタ誘電体膜 112 が形成され、さらにキャパシタ誘電体膜 112 の表面を覆うようにキャパシタ上部電極 113 が配設されている。

【0043】このように、比較的厚さの厚い膜で構成される単純な構造のキャパシタ下部電極 111 は、厚膜セル、あるいはベDESTAL型と呼称される。

【0044】さらに、層間絶縁膜 14 の上部には複数のメタル配線 16 が選択的に形成され、コンタクトプラグ 15 の上面は、一部のメタル配線 16 に接続されている。

【0045】そして、メタル配線 16 の上部には、配線層やパッシベーション膜等が配設されて半導体記憶装置 100 を構成するが、これらについては、本発明との関係が薄いので図示は省略する。

【0046】ここで、キャパシタ誘電体膜 112 が高誘電体材料、例えば BST (barium strontium titanate) で形成され、キャパシタ下部電極 111 が白金等の貴金属で形成されている点は、図 14 に示す半導体集積回路 90 と同じであるが、キャパシタ下部電極 111 の短辺方向の幅寸法は、配線の最小加工寸法 (例えばゲート長) よりも小さく形成されている。

【0047】<B. 作用効果>図 2 に、キャパシタ CP 10 の部分拡大図を示す。キャパシタ下部電極 111 の配設間隔 S は $0.14 \sim 0.16 \mu\text{m}$ ($140 \sim 160 \text{ nm}$)、キャパシタ下部電極 111 の高さ H は $350 \sim 450 \text{ nm}$ 、上部側短辺の長さ (以後、これを上部側短辺幅寸法と呼称) W は $0.07 \mu\text{m}$ (70 nm) であり、キャパシタ誘電体膜 112 の厚さを 15 nm とすると、キャパシタ誘電体膜 112 形成後の電極間の寸法、すなわち、キャパシタ上部電極 113 が形成されるトレンチ部分の寸法は、トレンチ幅 TW が $0.13 \mu\text{m}$ (130 nm)、トレンチ深さ TD は $350 \sim 450 \text{ nm}$ となり、トレンチ深さ TD に対するトレンチ幅 TW のアスペクト比は $1/3$ となる。

【0048】なお、キャパシタ下部電極 111 の高さは、キャパシタ誘電体膜 112 として、誘電体材料あるいは強誘電体材料を用いることで、上述したように $350 \sim 450 \text{ nm}$ となっており、この程度であれば、所望の静電容量を確保できるとともに、層間絶縁膜 14 の部分的な突出も軽減でき、また平坦化工程も容易となつて、周辺回路部とメモリセル部との間で生じる段差を低

減できる。

【0049】また、キャパシタ上部電極 113 の厚さは、例えば 50 nm であり、1つのキャパシタ下部電極 111 を覆うキャパシタ上部電極 113 の短辺幅寸法は、 200 nm ($0.2 \mu\text{m}$) となる。

【0050】このように、キャパシタ下部電極 111 の上部側短辺幅寸法 W が、キャパシタ下部電極 111 の配設間隔 S の $1/2$ 以下、換言すれば、キャパシタ下部電極 111 の配設間隔 S がキャパシタ下部電極 111 の上部側短辺幅寸法 W の 2 倍以上であれば、キャパシタ上部電極 113 を形成する際に使用されるスパッタリング法のカバレッジ特性に多少の問題があっても、トレンチの底部にも連続したキャパシタ上部電極 113 を形成することができ、良好な導電性を得て、キャパシタ特性が向上した半導体集積回路を得ることができる。

【0051】また、キャパシタ上部電極 113 の膜厚は、計算上はトレンチ幅の半分の厚さにまで厚くすることができるので、キャパシタ上部電極 113 の厚膜化により、キャパシタ上部電極 113 を低抵抗にできる。

【0052】なお、上記においては、キャパシタ下部電極 111 の配設間隔 S がキャパシタ下部電極 111 の上部短辺幅寸法 W の 2 倍以上としたが、配設間隔 S を無制限に広くすることは半導体装置の集積度の向上に反することになるので、配設間隔 S は、キャパシタ下部電極 111 の上部側短辺幅寸法 W の 2 倍以上であって、 $0.5 \mu\text{m}$ 以下とすることが望ましい。

【0053】<C. 製造方法>以下、製造工程を順に示す図 3～図 10 を用いて、半導体集積回路 100 の製造方法について説明する。

【0054】まず、図 3 に示す工程において、従来の製造方法により半導体基板 1 の主面内に、素子分離絶縁膜 3 を形成して活性領域を規定し、当該活性領域内に MOS トランジスタのソース・ドレイン層となる不純物拡散層 2 を選択的に配設する。そして、隣り合う不純物拡散層 2 の間のシリコン基板 1 上に、ゲート絶縁膜 4 を間に挟んで複数のゲート電極 5 を選択的に形成し、ゲート電極 5 を含めて、半導体基板 1 の主面上を覆うように、例えば減圧 CVD (low pressure chemical vapor deposition) 法を用いて TEOS (tetraethyl orthosilicate) 等で層間絶縁膜 6 を形成する。

【0055】そして、所定の不純物拡散層 2 の表面に達するように、フォトリソグラフィおよびドライエッチングを経て、層間絶縁膜 6 を貫通する複数のコンタクトホール CH1 を形成する。

【0056】次に、図 4 に示す工程において、層間絶縁膜 6 の主面全面に、例えば CVD 法によりポリシリコン層を形成することで、コンタクトホール CH1 をポリシリコン層で埋め込み、その後、CMP (chemical mechanical polishing) 等でポリシリコン層を平坦化し、層間絶縁膜 6 上のポリシリコン層を除去する。これによ

9

り、複数のコンタクトホールCH1内に導電層を埋め込んで複数のコンタクトプラグ7を形成することができる。

【0057】その後、層間絶縁膜6の主面全面に、例えば、スパッタリング法によりTi(チタン)、TiN(窒化チタン)、W(タングステン)の層を順次形成し、フォトリソグラフィおよびドライエッチングによりパターンニングして、ビット線8を形成する。なお、ビット線8は複数のコンタクトプラグ7のうち、所定のものの上面に接触するように形成され、ビット線8に接触しないコンタクトプラグ7も存在する。

【0058】次に、図5に示す工程において、層間絶縁膜6の主面全面に、例えばプラズマCVD法等により、シリコン酸化膜等で層間絶縁膜9を形成し、ビット線8を完全に覆う。

【0059】そして、所定の不純物拡散層2の表面に達するように、フォトリソグラフィおよびドライエッチングを経て、層間絶縁膜6および9を貫通する複数のコンタクトホールCH2を形成する。

【0060】その後、コンタクトプラグ7の形成と同様の工程を経て、コンタクトホールCH2を導電層で埋め込んでコンタクトプラグ10を形成する。なお、コンタクトホールCH2を埋め込む導電性材料は、必ずしもコンタクトプラグ7と同一である必要はない。

【0061】次に、図6に示す工程において、層間絶縁膜9の主面全面に、例えばプラズマCVD法等により、シリコン酸化膜等で絶縁膜20を形成する。そして、フォトリソグラフィおよびドライエッチングを経て、キャパシタ下部電極111の形成位置に対応する部分に、キャパシタ下部電極111の平面視形状に相当する開口パターン101を形成する。なお、開口パターン101は層間絶縁膜9を貫通し、また、開口パターン101の短辺の長さ(以後、これを短辺幅寸法と呼称)はデザインルールと等しく、例えば0.1 μ mである。

【0062】そして、絶縁膜20の主面全面に、例えばプラズマCVD法などにより、シリコン酸化膜等で、厚さ15nm程度の絶縁膜21を形成する。絶縁膜21の厚さは、開口パターン101の短辺幅寸法よりも十分薄く、開口パターン101の内壁面を覆うとともに、開口パターン101の底面部に露出する層間絶縁膜9の主面上も覆う。

【0063】次に、図7に示す工程において、IE(反応性イオンエッチング:Reactive Ion Etching)等の異方性エッチングにより、CF₄等の反応性ガスを用いて、絶縁膜20の主面上の絶縁膜21および層間絶縁膜9の主面上の絶縁膜21をエッチバックし、開口パターン101の内壁面のみに絶縁膜21を残して、枠付け酸化膜102を形成する。

【0064】次に、図8に示す工程において、絶縁膜20の主面全面に、スパッタリング法により白金膜を堆積

10

し、開口ターン101埋め込んだ後、CMP等で絶縁膜20の主面上の白金膜を除去、正確には枠付け酸化膜102が内壁面に形成された開口パターン101の内部にのみ白金膜を残して、キャパシタ下部電極111を形成する。

【0065】なお、キャパシタ下部電極111は、白金に限定されず、白金族の元素(Ru、Rh、Pd、Os、Ir)あるいは高融点金属と白金族の元素との複合材でも良い。

【0066】次に、絶縁膜20および枠付け酸化膜102をエッチバックして除去し、キャパシタ下部電極111を層間絶縁膜9の主面上に突出させる。以上、図7および図8を用いて説明した工程が枠付け法と呼称される手法である。

【0067】ここで得られるキャパシタ下部電極111の上部側短辺幅寸法Wは0.07 μ m(70nm)、隣り合うキャパシタ下部電極111間の間隔Sは0.16 μ m(160nm)である。

【0068】次に、図10に示す工程において、層間絶縁膜9の主面全面に、例えば厚さ30nmのBST膜をスパッタリング法により堆積し、キャパシタ誘電体12を形成する。さらに、キャパシタ誘電体112の上部全面に、例えば厚さ50nmの白金膜をスパッタリング法により堆積し、キャパシタ上部電極113を形成する。その後、キャパシタ誘電体112およびキャパシタ上部電極113をパターンニングすることでキャパシタCP10を得る。

【0069】次に、図11に示す工程において、層間絶縁膜9の主面全面に、例えばプラズマCVD法等により、シリコン酸化膜等で層間絶縁膜14を形成し、キャパシタCP10を完全に覆う。

【0070】そして、ビット線8が接触していないコンタクトプラグ7の上面に達するように、フォトリソグラフィおよびドライエッチングを経て、層間絶縁膜14および9を貫通するコンタクトホールCH3を形成する。

【0071】その後、コンタクトプラグ7の形成と同様の工程を経て、コンタクトホールCH3を導電層で埋め込んでコンタクトプラグ15を形成する。ここで、コンタクトプラグ15と、これに接続されるコンタクトプラグ7とでスタックトビアコンタクトを構成する。この場合、コンタクトプラグ15に接続されるコンタクトプラグ7は、他のコンタクトプラグ7のようにビット線8に接続されないが、他のコンタクトプラグ7と同じ工程で形成されるのでビット線コンタクトと呼称する。

【0072】なお、コンタクトホールCH3を埋め込む導電性材料は、必ずしもコンタクトプラグ7および10と同一である必要はない。

【0073】その後、層間絶縁膜14の主面全面に、例えば、スパッタリング法によりTi、TiN、Al(アルミニウム)の層を順次形成し、フォトリソグラフィお

よびドライエッチングによりパターンニングして、図1に示すように、複数のメタル配線16を形成する。なお、メタル配線16の一部は、コンタクトプラグ15の上面に接触するように形成される。

【0074】このメタル配線16の形成方法および材料は上記に限定されず、例えばメッキ法により形成したCu（銅）をダマシン（Damascene）法で加工することで形成しても良い。

【0075】また、この後の工程で、さらに上部には配線層、および、パッシベーション膜が形成されるが、その形成方法は従来的な公知の技術を用いるため、説明は省略する。

【0076】＜D. 変形例＞以上説明した本発明に係る実施の形態においては、キャパシタ下部電極111の短辺幅寸法をデザインルールよりも小さくし、その分、キャパシタ下部電極111の配設間隔を広くすることで、アスペクト比を大きくし、キャパシタ上部電極113を厚くしても、キャパシタ下部電極111間のトレンチ部においてキャパシタ上部電極113が連続的に形成される構成を示したが、半導体集積回路のさらなる微細化が進んだ場合には、キャパシタは図12に示すような構造にすれば良い。

【0077】すなわち、図12において、デザインルールのさらなる縮小により、キャパシタ下部電極111の配設間隔が狭くなり、隣り合うキャパシタ下部電極111の間には、キャパシタ上部電極113が完全に埋め込まれている。

【0078】この場合、キャパシタ下部電極111の短辺幅寸法を50nmとし、キャパシタ誘電体112の膜厚を20nmとした場合、キャパシタ下部電極111の配設間隔を90nmとし、キャパシタ上部電極113の厚さを25nmで形成すれば、キャパシタ下部電極111間のキャパシタ誘電体112形成後のトレンチ部が、キャパシタ上部電極113で埋め込まれ、キャパシタ上部電極113の厚さは実質的に50nmとなる。

【0079】この結果、キャパシタ下部電極111の上部側短辺幅寸法Wと、キャパシタ上部電極113の短辺幅寸法W1とが等しくなり、両電極の抵抗値がほぼ等しくなる。

【0080】薄膜の抵抗は膜厚に反比例して増大するため、キャパシタ下部電極111およびキャパシタ上部電極113の膜厚を等しくした場合、トータルの抵抗値を最小にすることができ、キャパシタの応答速度を上げることができる。

【0081】なお、キャパシタ上部電極113は、スパッタリング法により形成しても良いが、CVD法あるいはスパッタリング法でキャパシタ下部電極111間のトレンチ部分にシード層と呼称される導体層（材質はキャパシタ上部電極113と同じ）を例えば、厚さ5nm程度に形成した後、メッキ法により残りのトレンチ部分を

埋め込むようにしても良い。

【0082】

【発明の効果】本発明に係る請求項1記載の半導体集積回路によれば、下部電極の上部側短辺幅寸法が、下部電極の配設間隔の1/2以下に設定されるので、下部電極の配設間隔を相対的に広くでき、下部電極を誘電体膜で覆った状態での、隣り合う下部電極間のトレンチ部分に上部電極を形成する際に、トレンチの底部にも連続した上部電極を形成することができ、良好な導電性を得て、キャパシタ特性が向上した半導体集積回路を得ることができる。

【0083】本発明に係る請求項2記載の半導体集積回路によれば、下部電極の配設間隔が0.5μm以下であるので、半導体集積回路の集積度の向上に反することなく、かつ、上部電極を連続的に形成するのに支障を来さない半導体集積回路を得ることができる。

【0084】本発明に係る請求項3記載の半導体集積回路によれば、下部電極を誘電体膜で覆った状態での、隣り合う下部電極間のトレンチ部分での深さに対する幅の比率が1/3以上であるので、上部電極を連続的に形成するのに支障を来さない半導体集積回路を得ることができる。

【0085】本発明に係る請求項4記載の半導体集積回路によれば、下部電極の上部側短辺幅寸法と、下部電極を誘電体膜で覆った状態での、隣り合う下部電極間のトレンチ部分での幅寸法とがほぼ等しくなるように配設され、上部電極が、トレンチ部分を完全に埋め込むように配設されるので、下部電極の上部側短辺幅寸法と、上部電極の短辺幅寸法とが等しくなり、両電極の抵抗値がほぼ等しくなって、トータルの抵抗値を最小にすることができ、キャパシタの応答速度を上げることができる。

【0086】本発明に係る請求項5記載の半導体集積回路によれば、誘電体膜が、高誘電体膜または強誘電体膜であるので、下部電極の高さを低くすることができ、また、下部電極の短辺幅寸法を、配線の最小加工寸法以下としても、所望のキャパシタの静電容量を得ることができる。また、下部電極の短辺幅寸法を、配線の最小加工寸法以下とすることで、下部電極の配設間隔を広くすることが容易となる。

【図面の簡単な説明】

【図1】 本発明に係る実施の形態の半導体集積回路の構成を示す断面図である。

【図2】 本発明に係る実施の形態の半導体集積回路のキャパシタの構成を示す図である。

【図3】 本発明に係る実施の形態の半導体集積回路の製造工程を説明する図である。

【図4】 本発明に係る実施の形態の半導体集積回路の製造工程を説明する図である。

【図5】 本発明に係る実施の形態の半導体集積回路の製造工程を説明する図である。

13

【図6】 本発明に係る実施の形態の半導体集積回路の製造工程を説明する図である。

【図7】 本発明に係る実施の形態の半導体集積回路の製造工程を説明する図である。

【図8】 本発明に係る実施の形態の半導体集積回路の製造工程を説明する図である。

【図9】 本発明に係る実施の形態の半導体集積回路の製造工程を説明する図である。

【図10】 本発明に係る実施の形態の半導体集積回路の製造工程を説明する図である。

【図11】 本発明に係る実施の形態の半導体集積回路の製造工程を説明する図である。

14

*【図12】 本発明に係る実施の形態の変形例の半導体集積回路のキャパシタの構成を示す図である。

【図13】 従来の半導体集積回路の構成を示す断面図である。

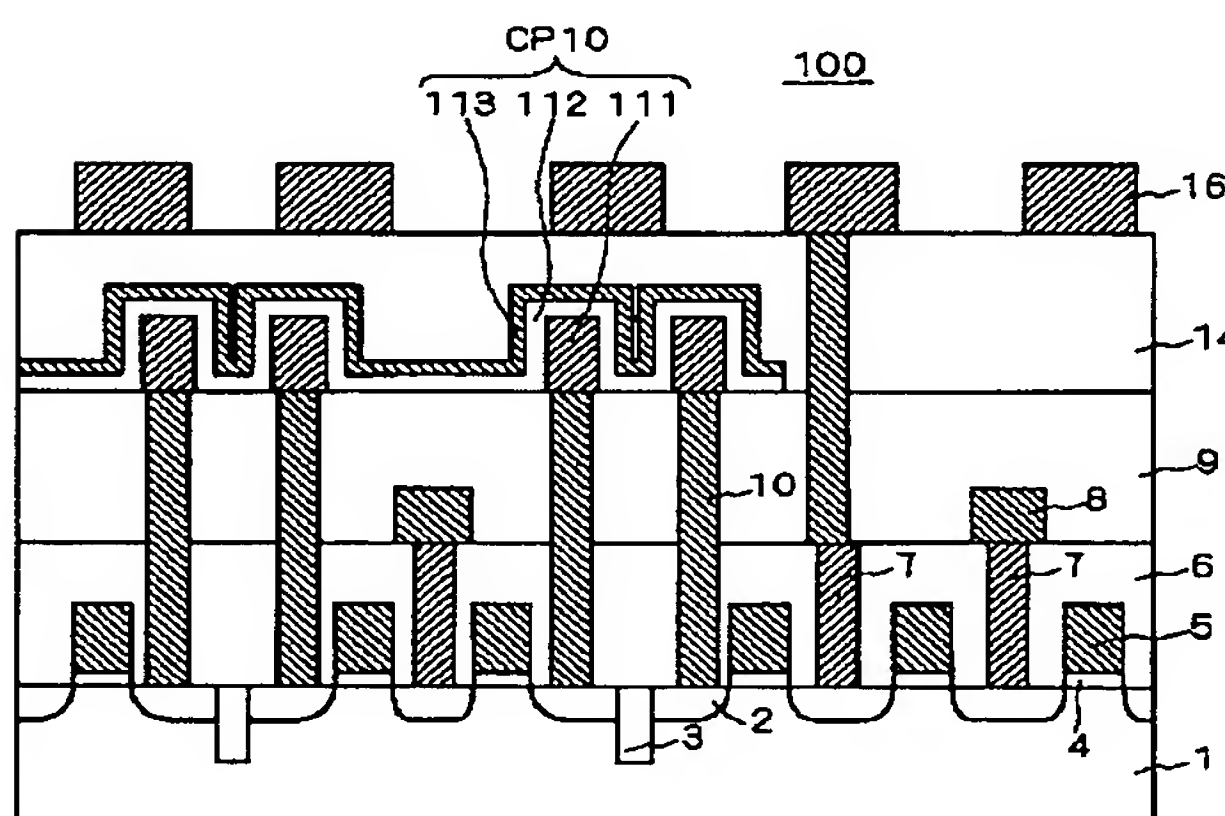
【図14】 従来の半導体集積回路の構成を示す断面図である。

【図15】 従来の半導体集積回路のキャパシタの構成を示す図である。

【符号の説明】

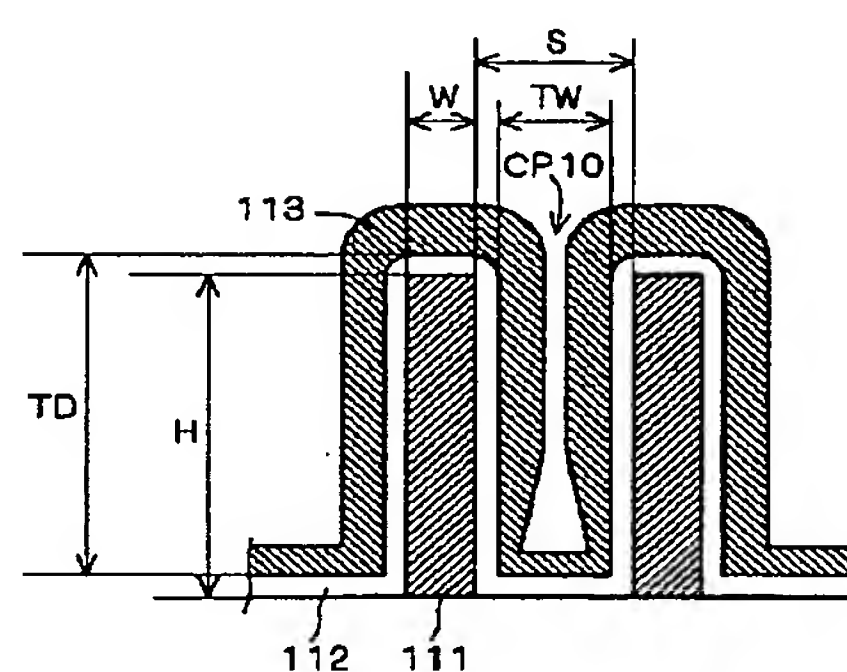
111 キャパシタ下部電極、112 キャパシタ誘電体膜、113 キャパシタ上部電極、CP10 キャパシタ。

【図1】

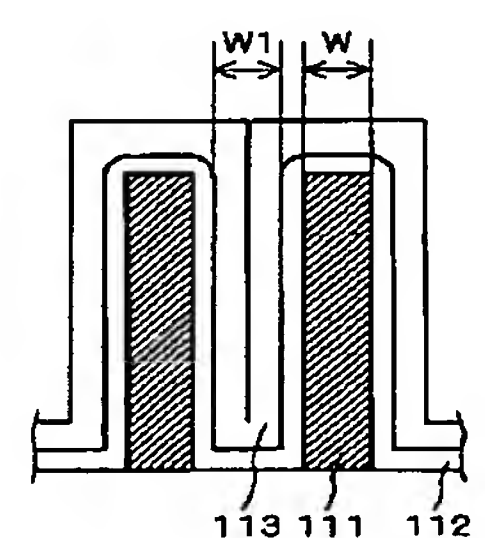


111 : キャパシタ下部電極
112 : キャパシタ誘電体膜
113 : キャパシタ上部電極
CP10 : キャパシタ

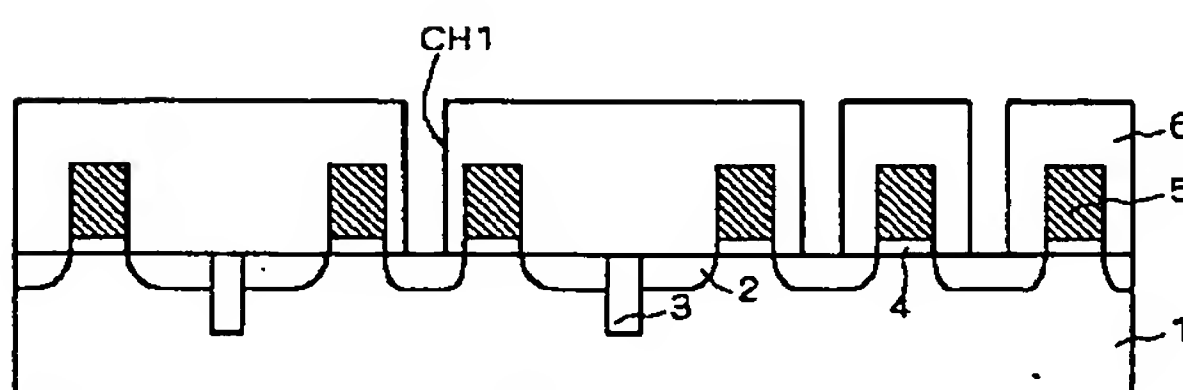
【図2】



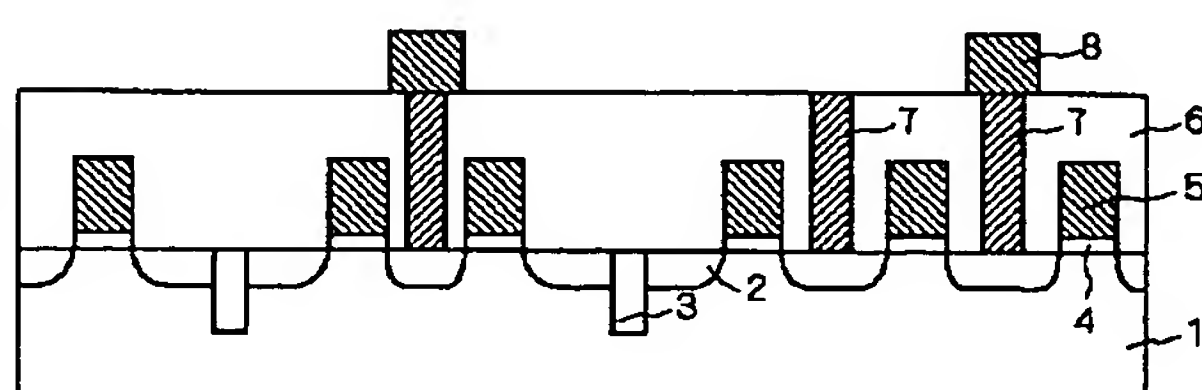
【図12】



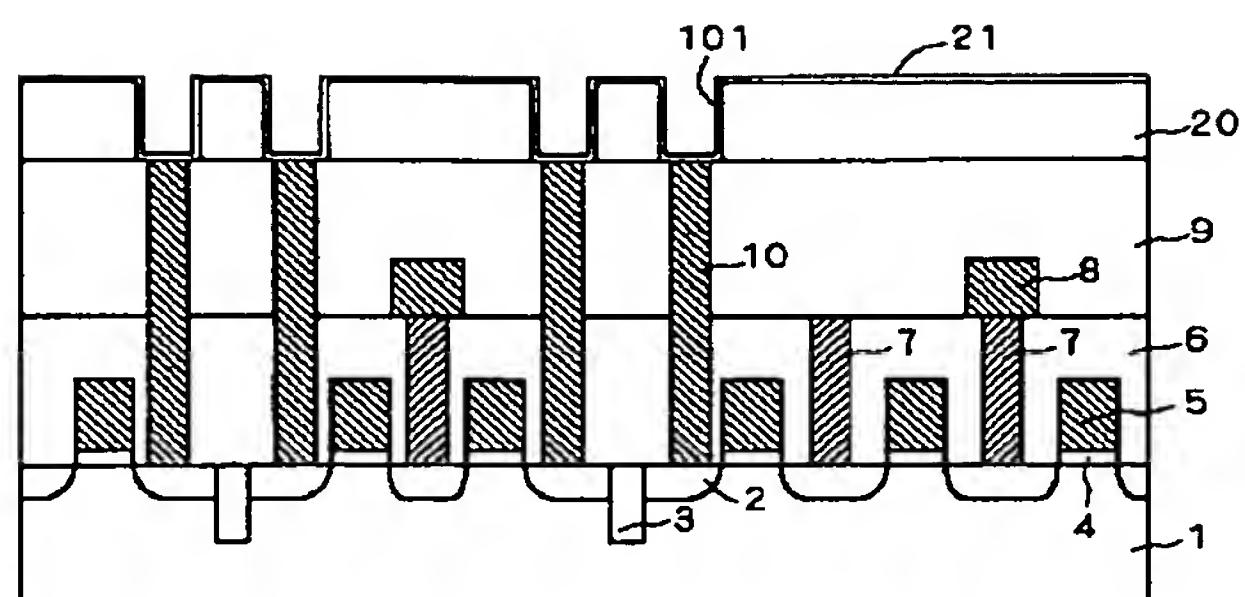
【図3】



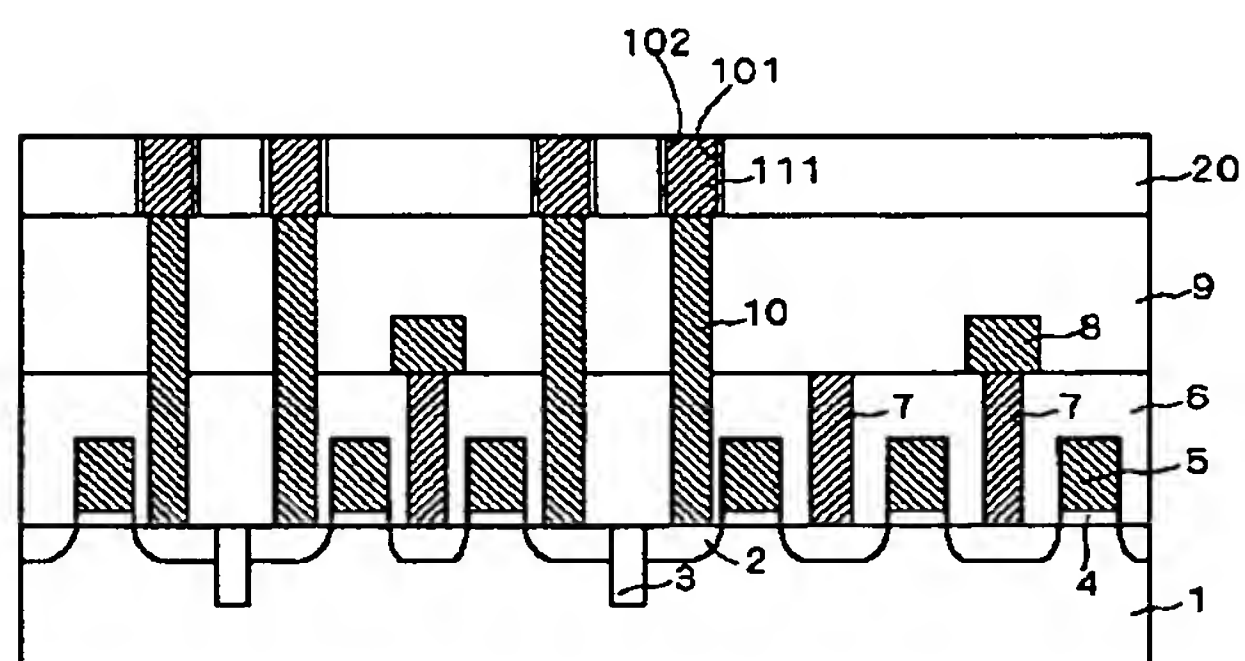
【図4】



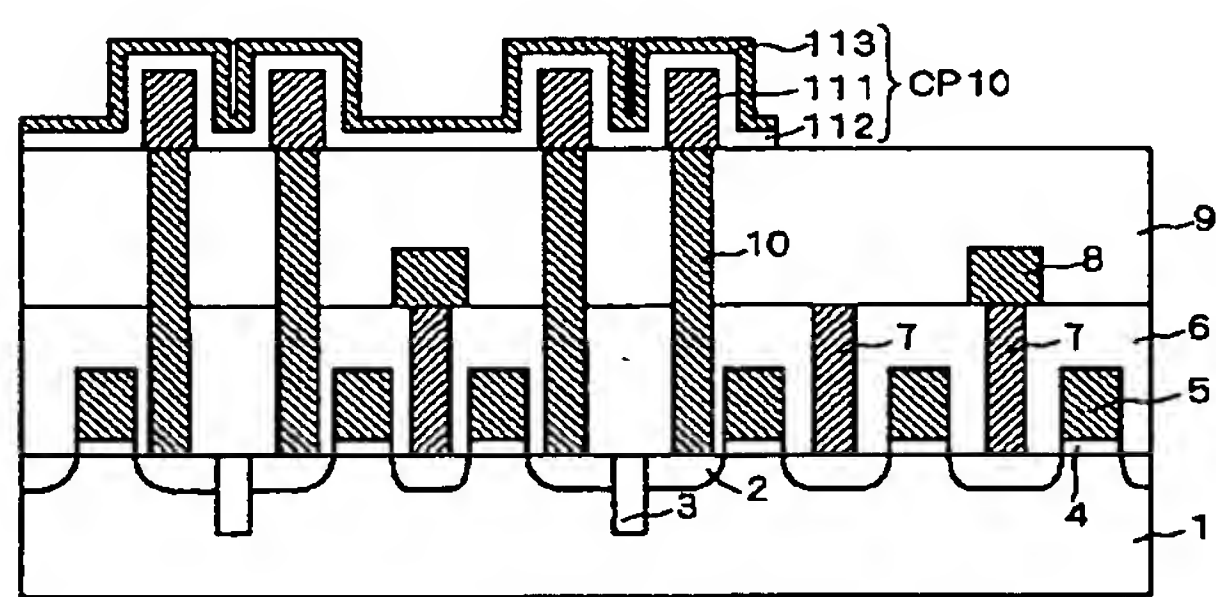
【图 6】



【图 8】

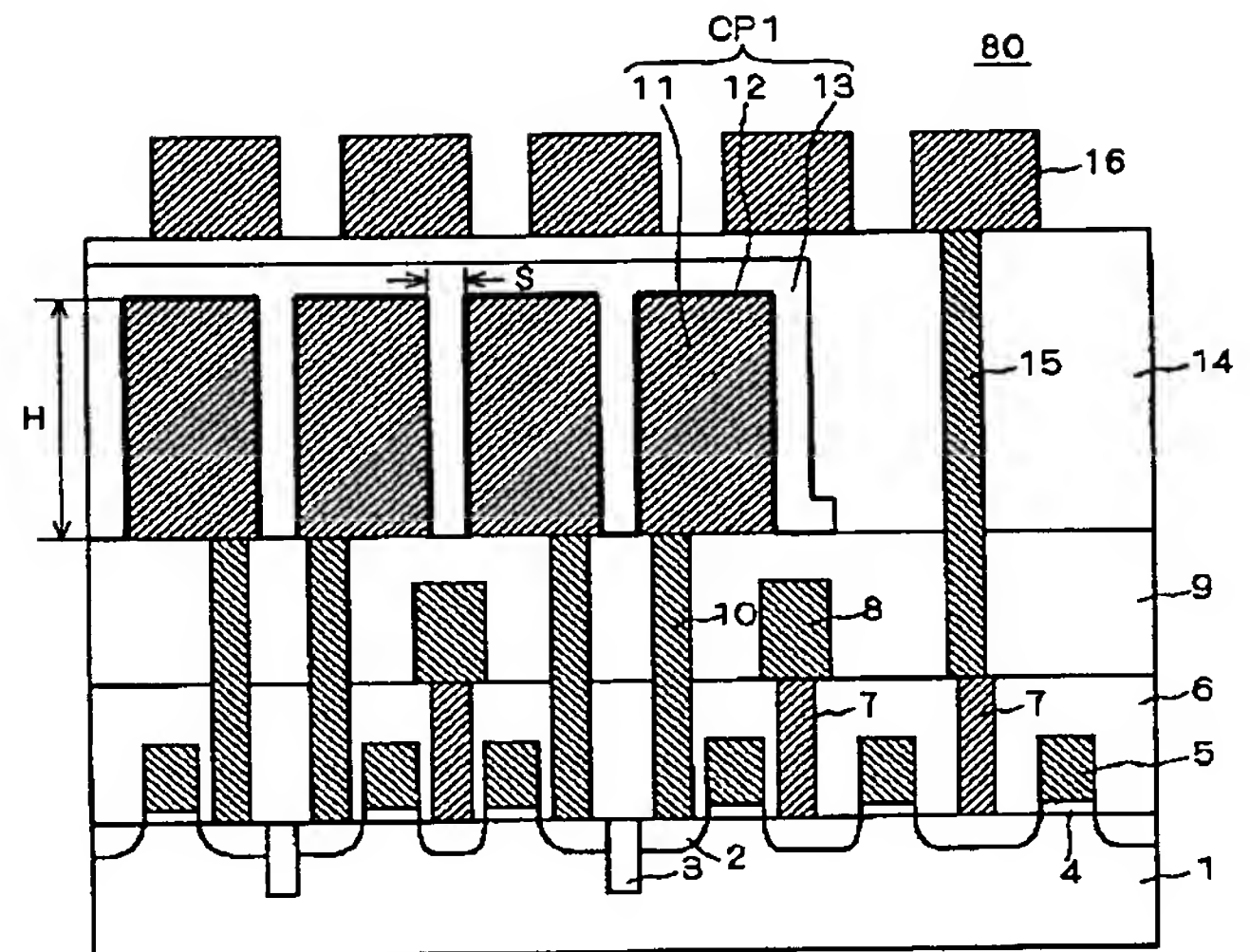


【図 10】



A cross-sectional view of a semiconductor device. It features two vertical pillars, 11A and 12A, which are filled with a material indicated by diagonal hatching. These pillars are situated on a base layer 10A. Above the pillars, there is a layer 13A, also with diagonal hatching, which is connected to the top of the pillars. A curved arrow labeled CP2 points towards the right side of the structure, indicating a direction of light or signal propagation.

【図 13】



【图 14】

